

特開平11-67100

(43) 公開日 平成11年(1999) 3月9日

(51) Int.Cl.⁶

識別記号

F I

H 0 1 J 11/02

H 0 1 J 11/02

B

11/00

11/00

K

審査請求 未請求 請求項の数5 O L (全 9 頁)

(21) 出願番号

特願平9-218436

(22) 出願日

平成9年(1997) 8月13日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(72) 発明者 片山 貴志

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(72) 発明者 グェン タン ニャン

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(74) 代理人 弁理士 久保 幸雄

最終頁に続く

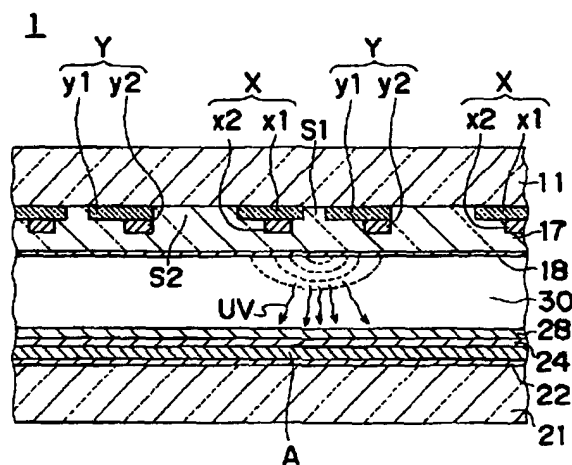
(54) 【発明の名称】 AC型プラズマディスプレイパネル

(57) 【要約】

【課題】 発光効率の低下を避けつつ放電開始電圧を低減し、駆動系の負担を軽減することを目的とする。

【解決手段】 行方向に延びる第1及び第2の電極X、Yと列方向に延びる第3の電極Aとを有し、第1及び第2の電極X、Yによってサステイン電極対が構成され、第2の電極Yと第3の電極Aとによってアドレス電極対が構成される構造のAC型PDP1において、第1及び第2の電極X、Yとともに帯状の透明導電膜x1、y1とそれよりも幅の小さい帯状の金属膜x2、y2との積層体とし、少なくとも第1の電極の金属膜x2を、それと重なり合う透明導電膜x1における放電ギャップS1から遠い側の端縁との距離よりも放電ギャップに近い側の端縁との距離が小さくなるように配置する。

PDPの腰部断面図



【特許請求の範囲】

【請求項1】マトリクス表示の各単位発光領域において、行方向に延び且つ放電ギャップを隔てて列方向に並ぶ第1及び第2の電極と、列方向に延びる第3の電極とが交差し、前記第1及び第2の電極によって表示放電セルが構成され、前記第2の電極と前記第3の電極とによってアドレス放電セルが構成される構造のAC型プラズマディスプレイパネルであって、

前記第1及び第2の電極は、ともに帯状の透明導電膜と当該透明導電膜よりも幅の小さい帯状の金属膜との積層体であり、

少なくとも前記第1の電極の金属膜は、それと重なり合う前記透明導電膜における放電ギャップから遠い側の端縁との距離よりも前記放電ギャップに近い側の端縁との距離が小さくなるように配置されていることを特徴とするAC型プラズマディスプレイパネル。

【請求項2】前記第2の電極の金属膜は、それと重なり合う前記透明導電膜における放電ギャップから遠い側の端縁との距離が前記放電ギャップに近い側の端縁との距離以下になるように配置されている請求項1記載のAC型プラズマディスプレイパネル。

【請求項3】前記第1の電極の透明導電膜の幅と前記第2の電極の透明導電膜の幅とが等しい請求項1又は請求項2記載のAC型プラズマディスプレイパネル。

【請求項4】前面基板と背面基板との間に放電空間を形成し、前面基板上に互いに隣接して対をなす複数の表示電極を誘電体層で覆って配設し、背面基板上にそれら表示電極対と交差する方向の複数のデータ電極を配設し、表示電極対により表示放電セルを形成し、表示電極対の一方とデータ電極との交点にアドレス放電セルを形成してなる3電極AC型プラズマディスプレイパネルにおいて、

前記対をなす表示電極はともに帯状の透明導電膜とそれよりも幅の小さい帯状の金属膜との積層体からなり、当該アドレス放電セル形成用の一方の表示電極における金属膜はその幅方向の中心が透明導電膜の幅方向の中心より放電ギャップに近くなるように配置されていることを特徴とする3電極AC型プラズマディスプレイパネル。

【請求項5】前記第2の電極の透明導電膜の幅が前記第1の電極の透明導電膜の幅よりも小さい請求項1又は請求項2記載のAC型プラズマディスプレイパネル。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、マトリクス表示方式のAC型プラズマディスプレイパネル（Plasma Display Panel：PDP）に関し、画面に沿った放電を生じさせる面放電形式のPDPに適用される。

【0002】PDPは、基板対を支持体とする自己発光型の薄型表示デバイスであり、カラー画面の実用化を機にテレビジョン映像やコンピュータのモニターなどの用

途で広く用いられるようになってきた。ハイビジョン用の大画面フラット型デバイスとしても注目されている。

【0003】マトリクス表示方式のPDPにおいて、表示素子であるセルの点灯状態の維持（サステイン）にメモリ効果が利用されている。AC型PDPは、電極を誘電体で被覆することにより構造的にメモリ機能を有するように構成されている。AC型PDPによる表示に際しては、点灯（発光）すべきセルのみに壁電荷を蓄積させるライン順次のアドレッシングを行い、その後全セルに対して一斉に交番極性の電圧（サステイン電圧）を印加する。サステイン電圧は放電開始電圧より低い所定の電圧である。壁電荷の存在するセルでは、壁電圧がサステイン電圧に重畳するので、セルに加わる実効電圧が放電開始電圧を越えて放電が生じる。サステイン電圧の印加周期を短くすれば、見かけの上で連続的な点灯状態が得られる。

【0004】

【従来の技術】カラー表示デバイスとして、面放電形式のAC型PDPが商品化されている。面放電形式は、放電維持期間（表示期間）において交番に陽極又は陰極となる一対のサステイン電極を、同一基板上に平行配置する形式である。面放電型PDPでは、カラー表示のための蛍光体層を、サステイン電極対を配置した基板と対向する他方の基板上に設けることによって、放電時のイオン衝撃による蛍光体層の劣化を軽減し、長寿命化を図ることができる。

【0005】図10は従来のPDP90の内部構造を示す要部断面図、図11は従来のサステイン電極の配列方向における発光強度分布の模式図である。PDP90では、前面側のガラス基板91の内面に、マトリクス表示のライン毎に一対のサステイン電極（第1及び第2の電極）93、94が配列されている。これらのサステイン電極93、94は誘電体層96によって放電空間99に対して絶縁され、誘電体層96の表面にはハイガンマ材料からなる保護膜97が設けられている。一方、背面側のガラス基板92の内面には、サステイン電極93、94と直交するようにマトリクス表示の列毎にアドレス電極（第3の電極）95が配列されている。そして、アドレス電極95の上部を含めて、ガラス基板92を被覆するように蛍光体層98が設けられている。このように蛍光体層98を背面側の基板上に配置したものは“反射型”と呼称され、逆に前面側の基板上に配置したものは“透過型”と呼称されている。反射型は、蛍光体層98の発光面を直接に見ることのできるもので、輝度及び視野角の上で透過型よりも有利である。

【0006】サステイン電極93は、透明導電膜931にそれより幅の小さい金属膜932を補助導体として積層した帯状の複合電極であり、ライン方向に延びている。サステイン電極94も、サステイン電極93と同様に透明導電膜941と金属膜942との積層体である。

各透明導電膜931、941の幅は、隣接するラインどうしの間に適切な電極間距離を設け且つセル内で面放電が広範囲に拡がるようにセルサイズに応じて選定される。各金属膜932、942の幅は、許容最低限以上の導電性が得られるようにライン長に応じて選定される。なお、隣接するラインどうしの電極間隙S2は逆スリットと呼称されている。

【0007】PDP90による表示に際しては、ライン順次のアドレッシングが行われる。セルを点灯（発光）させる場合には、アドレス電極95と一方のサステイン電極94とを適切にバイアスしてそれら電極交点で定まるアドレス放電セルに対向放電（パネルの厚さ方向の放電）を生じさせ、誘電体層96（保護膜97も誘電体層96の一部とする）の表面を適度に帯電させる。セルの点灯／非点灯を設定するアドレッシングの後、サステイン電極94とサステイン電極93とに対して、これらの相対電圧の極性が交互に入れ代わるようにサステイン電圧を印加し、その電極対により形成される表示放電セルに周期的に面放電を生じさせる。蛍光体層98は、主に面放電で生じた紫外線UVによって局部的に励起されて所定色の可視光を放つ。この可視光の内、ガラス基板91を透過する光が表示光となる。

【0008】図11に示されるように、各セルにおける発光強度は、対をなすサステイン電極93、94の配列間隙である面放電ギャップ（放電スリットと呼称される）S1の中央で最も大きく、面放電ギャップS1から列方向に遠ざかるにつれて小さくなる。従来においては、遮光による発光強度の低下を最小限とするため、金属膜932、942は、透明導電膜931、941における面放電ギャップS1から遠い側（逆スリットS2に近い側）の端縁に寄せるように配置されていた。

【0009】

【発明が解決しようとする課題】ところで、PDPの課題の1つに駆動電圧の低減がある。消費電力、熱設計、駆動系の小型軽量化などの上で、より低い電圧で駆動可能なパネル構造が望ましい。

【0010】しかし、一方で画面の高精細化が進められており、セルサイズが縮小される傾向にある。セルサイズが小さくなると、荷電粒子の移動が抑制されることから、放電開始電圧が上昇する。

【0011】従来のサステイン電極構造では、金属膜932、942による遮光は最小限となるものの、セルサイズの縮小にともなって発光効率（輝度／消費電力）が低下してしまうという問題があった。

【0012】本発明は、発光効率の低下を避けつつ放電開始電圧を低減し、駆動系の負担を軽減することを目的としている。他の目的は、長期にわたる動作の安定を実現することにある。

【0013】

【課題を解決するための手段】上述の目的を達成するた

め、透明導電膜とともに面放電のための電極を構成する金属膜を、従来よりも面放電ギャップに近づける。金属膜が面放電ギャップに近いほど、面放電の開始電圧が低くなる。反面、セルの中より発光強度の大きい部分が遮光範囲となるので、表示の輝度が低下する。したがって、金属膜を面放電ギャップに近づけて十分な電圧低下の効果が得られる範囲内で最も面放電ギャップから遠い位置に配置する。種々のセルサイズについての実験により、十分な電圧低下の効果が得られる配置位置は、金属膜の幅方向の中央が透明導電膜における幅方向の中央よりも面放電ギャップに近くなる位置であることが確かめられた。この位置に配置した場合、金属膜と透明導電膜との間で、面放電ギャップから遠い側の端縁どうしの距離よりも、放電ギャップに近い側の端縁どうしの距離が小さくなる。

【0014】面放電に係わる一対の電極のどちらの金属膜を面放電ギャップに近づけても放電開始電圧が低くなる。両方の電極の金属膜をそれぞれ面放電ギャップに近づけても放電開始電圧が低くなる。ただし、アドレッシングに用いる電極の金属膜を面放電ギャップに近づけて配置すると、誘電体層の保護膜の経年変化が生じたときにアドレッシングが不安定になり易い。長期にわたるアドレッシングの安定化の上では、アドレッシングに用いない電極のみについて金属膜を面放電ギャップに近づけて配置するのが望ましい。

【0015】請求項1の発明のPDPは、マトリクス表示の各単位発光領域において、行方向に延び且つ放電ギャップを隔てて列方向に並ぶ第1及び第2の電極と、列方向に延びる第3の電極とが交差し、前記第1及び第2の電極によって表示放電セルが構成され、前記第2の電極と前記第3の電極とによってアドレス放電セルが構成される構造のAC型PDPであって、前記第1及び第2の電極が、ともに帯状の透明導電膜と当該透明導電膜よりも幅の小さい帯状の金属膜との積層体であり、少なくとも前記第1の電極の金属膜が、それと重なり合う前記透明導電膜における放電ギャップから遠い側の端縁との距離よりも前記放電ギャップに近い側の端縁との距離が小さくなるように配置されたものである。

【0016】請求項2の発明のPDPは、前記第2の電極の金属膜が、それと重なり合う前記透明導電膜における放電ギャップから遠い側の端縁との距離が前記放電ギャップに近い側の端縁との距離以下になるように配置されたものである。

【0017】請求項3の発明のPDPにおいては、前記第1の電極の透明導電膜の幅と前記第2の電極の透明導電膜の幅とが等しい。請求項4の発明のPDPは、前面基板と背面基板との間に放電空間を形成し、前面基板上に互いに隣接して対をなす複数の表示電極を誘電体層で覆って配設し、背面基板上にそれら表示電極対と交差する方向の複数のデータ電極を配設し、表示電極対により

表示放電セルを形成し、表示電極対の一方とデータ電極との交点にアドレス放電セルを形成してなる3電極AC型PDPであって、前記対をなす表示電極がともに帯状の透明導電膜とそれよりも幅の小さい帯状の金属膜との積層体からなり、当該アドレス放電セル形成用の一方の表示電極における金属膜がその幅方向の中心が透明導電膜の幅方向の中心より放電ギャップに近くなるように配置されているものである。

【0018】請求項5の発明のPDPにおいては、前記第2の電極の透明導電膜の幅が前記第1の電極の透明導電膜の幅よりも小さい。

【0019】

【発明の実施の形態】図1は本発明のPDP1の内部構造を示す斜視図である。図2はPDP1の電極マトリクスの概略図であり、放電空間30からみた電極配列を模式的に示している。

【0020】図1のPDP1は、フルカラー表示の可能な面放電形式のAC型PDPであり、蛍光体の配置形態による分類の上で反射型と呼称されている。PDP1では、前面側のガラス基板11の内面に、サステイン電極X、Yが配列されている。これらのサステイン電極X、Yを放電空間30に対して被覆するように、低融点ガラスからなる厚さ30 μ m程度の誘電体層17が表示領域の全域に設けられている。誘電体層17の表面には保護膜18として厚さ数千オングストロームの酸化マグネシウム膜が形成されている。誘電体層17及び保護膜18はともに透光性を有している。一方、背面側のガラス基板21の内面には、サステイン電極X、Yと直交するようにアドレス電極（第3の電極）Aが配列されている。アドレス電極Aは下地層22の上に設けられ、厚さ10 μ m程度の誘電体層24によって被覆されている。誘電体層24の上には、高さ150 μ mの平面視直線帯状の隔壁29が、各アドレス電極Aの間に1つつ設けられている。これらの隔壁29によって放電空間30がライン方向にサブピクセル（単位発光領域）毎に区画され、且つ放電空間30の間隙寸法が規定されている。隔壁は放電光の反射性を高める目的で白色顔料を混合した白色ガラスによって形成するのが望ましく、またその頂部を黒色ガラスで被ってコントラストを高めるのが望ましい。そして、アドレス電極Aの上部を含めて、誘電体層24の表面及び隔壁29の側面を被覆するように、カラー表示のためのR、G、Bの3色の蛍光体層28R、28G、28B（以下、特に色を区別する必要がないときは蛍光体層28と記述する）が設けられている。放電空間30には、主成分のネオンにキセノンを混合した放電ガスが封入されている。封入圧力は500 Torrである。

【0021】PDP1において、表示の1画素（ピクセル）は、各ラインL内の隣接する3つのサブピクセル

（単位発光領域）で構成される。各列内の各ラインの発光色は同一である。なお、PDP1では、マトリクス表示の列方向（サステイン電極X、Yの配列方向）に放電空間30を区画する隔壁は存在しない。そのため、隣接するラインLどうしの電極間隙（逆スリット）は、面放電ギャップ（例えば80～140 μ m）より大きい値（例えば400～500 μ m）に選定されている。この逆スリットは暗色の遮蔽膜を配置して非点灯時の蛍光体材料の白色が見えないようにするのが望ましい。

【0022】マトリクス表示の個々のラインLには一対のサステイン電極X、Yが対応し、1列には1本のアドレス電極Aが対応する。そして、3列が1ピクセルに対応する。図2において斜線が付された枠状の領域a31は、ガラス基板11、21の接合領域である。全てのサステイン電極Xはガラス基板11における水平方向の一方の端縁部まで導出され、全てのサステイン電極Yは他方の端縁部まで導出されている。サステイン電極Xは、駆動回路の簡単化のために共通端子Xtと一体化され、電気的に共通化されている。サステイン電極Yは、ライン順次のアドレッシングを可能とするために、1ラインずつ独立した個別電極とされ、個々に個別端子Ytと一体化されている。また、アドレス電極Aは、ガラス基板21における垂直方向の端縁部の個別端子Atと一体化されている。接合領域a31の内側において、サステイン電極群とアドレス電極群とが交差する領域が画面領域a1（スクリーン）である。画面領域a1と接合領域a31との間の非表示領域a2には放電ガスを封入するための貫通孔210が設けられている。

【0023】図3はPDP1の要部断面図、図4はサステイン電極対の構成を示す図、図5は金属膜x2の配置位置と放電開始電圧との関係を示すグラフ、図6は金属膜x2の配置位置と輝度との関係を示すグラフである。

【0024】サステイン電極Xは、帯状にパターンニングされた透明導電膜x1と、それより幅の小さい帯状にパターンニングされた金属膜（バス電極）x2とからなる積層構造の複合電極である。同様にサステイン電極Yも、帯状の透明導電膜y1とそれより幅の小さい帯状の金属膜y2とが一体化した積層体である。透明導電膜x1、y1の材質はITOである。金属膜x2、y2は、ともにクロム／銅／クロムの3層構造の非透光性薄膜であり、サステイン電極X、Yのライン抵抗を低減するための補助導体として、透明導電膜x1、y1の上に配置されている。表1に画面サイズが42インチ（ライン長は約960mm）の場合におけるサステイン電極X、Yの各部の実用寸法範囲を示す。

【0025】

【表1】

構成要素	厚さ	幅
透明導電膜	0.015~0.03 μm	250~300 μm
金属膜	1~4 μm	50~200 μm

【0026】ここで、構造上の重要な特徴は、一対のサステイン電極X、Yのうち、アドレス電極Aとの間のアドレス放電に係わる一方のサステイン電極Yの金属膜y2が従来と同様に面放電ギャップS1から遠ざけて配置されているのに対し、他方のサステイン電極Xの金属膜x2は、その幅方向の中心C2が透明導電膜x1の幅方向の中心C1より面放電ギャップS1に近くなるように配置されている点である。すなわち、透明導電膜x1の面放電ギャップS1に近い側の端縁と金属膜x2との距離d2は、透明導電膜x1の面放電ギャップS1から遠い側の端縁と金属膜x2との距離d1より小さい($d2 < d1$)。

【0027】このように金属膜x2を配置する理由は次のとおりである。図5に示されるように、透明導電膜x1に対する金属膜x2の位置を表す距離d2と距離d1との差 $\Delta d (= d2 - d1)$ が小さくなるにつれて放電開始電圧Vfが下がる。しかし、図6に示されるように金属膜x2を発光中心側に寄るので輝度が低下する。したがって、少なくとも輝度の低下に見合う程度の低電圧化の効果が得られるように金属膜x2を配置する必要がある。上述の条件を満たすサステイン電極構造を採用することにより、発光効率を高めることが可能となる。

【0028】また、サステイン電極Yの金属膜y2を面放電ギャップS1に近づけないことにより、経年変化としての放電スパッタリングによる保護膜18の膜厚減少がアドレッシングに大きく影響せず、長期にわたる動作の安定を実現することができる。すなわち、アドレッシング時の対向放電は背面側に突出した金属膜y2とアドレス電極Aとの間で起こるので、金属膜y2を覆う部分の保護膜18の状態が放電の成否を左右する。保護膜18の膜厚減少は特に面放電ギャップS1の近傍で顕著であるので、金属膜y2を面放電ギャップS1に近づけて配置すると、累積使用時間が長くなるにつれてアドレッシング時の放電ミスが起こり易くなる。面放電は比較的に広範囲に拡がるので、局所的な保護膜18の劣化の影響を受けにくい。

【0029】本実施形態においては、各セルの列方向の中央が発光中心となり、ラインLが等間隔に並ぶように、透明導電膜x1の幅Wx1と透明導電膜y1の幅Wy1とが同一の値に選定されている。金属膜x2の幅Wx2及び金属膜y2の幅Wy2も同一であるが、これらを個別に選定してもよい。

【0030】以上の構成のPDP1は、図示しない駆動ユニットと組み合わせた状態で、壁掛け式テレビジョン受像機などの表示デバイスとして使用される。その際、PDP1は、フレキシブル配線板などを介して駆動ユニ

ットと電氣的に接続される。

【0031】図7は駆動シーケンスを示す電圧波形図である。PDP1による表示においては、表示放電セルの発光の2値制御によって階調再現を行うために、外部からの入力画像である時系列の各フレームFを、例えば6個のサブフレームsf1、sf2、sf3、sf4、sf5、sf6に分割する。各サブフレームsf1~sf6における輝度の相対比率が1:2:4:8:16:32となるように重み付けをして、各サブフレームsf1~sf6のサステインの発光回数を設定する。サブフレーム単位の発光の有無の組合せでRGBの各色毎にレベル「0」~「63」の64段階の輝度設定を行うことができるので、表示可能な色の数は 64^3 となる。なお、サブフレームsf1~sf6を輝度の重みの順に表示する必要はない。例えば重みの大きいサブフレームsf6を表示期間の中間に配置するといった最適化を行うことができる。

【0032】各サブフレームsf1~sf6に対して、リセット期間TR、アドレス期間TA、及びサステイン期間TSを割り当てる。リセット期間TR及びアドレス期間TAの長さは輝度の重みに係わらず一定であるが、サステイン期間TSの長さは輝度の重みが大きいほど長い。つまり、各サブフレームsf1~sf6の表示期間の長さは互いに異なる。

【0033】リセット期間TRは、それ以前の点灯状態の影響を防ぐため、画面全体の壁電荷の消去(初期化)を行う期間である。全てのライン(ライン数はn)のサステイン電極Xに波高値が面放電開始電圧を越える正極性のリセットパルスPwを印加し、同時に背面側の帯電とイオン衝撃を防ぐために全てのアドレス電極Aに正極性のパルスを印加する。リセットパルスPwの立上がりと呼応して全てのラインで強い面放電が生じ、セル内に多量の壁電荷が生じる。壁電圧と印加電圧との相殺によって実効電圧が下がる。リセットパルスPwが立下がると、壁電圧がそのまま実効電圧となって自己放電が生じ、全ての表示放電セル及びアドレス放電セルにおいてほとんどの壁電荷が消失し、画面全体が一様な非帯電状態となる。

【0034】アドレス期間TAは、アドレッシング(点灯/非点灯の設定)を行う期間である。サステイン電極Xを接地電位に対して正電位にバイアスし、全てのサステイン電極Yを負電位にバイアスする。この状態で、先頭のラインから1ラインずつ順に各ラインを選択し、該当するサステイン電極Yに負極性のスキャンパルスPyを印加する。ラインの選択と同時に、点灯すべき表示放電セルに対応したアドレス電極Aに対して正極性のアド

レスパルスPaを印加する。選択されたラインにおけるアドレスパルスPaの印加されたアドレス放電セルでは、サステイン電極Yとアドレス電極Aとの間で対向放電が起こり、それが近くの表示放電セルに壁電荷を形成し当該表示放電セルの面放電に移行する。これら一連の放電がアドレス放電である。サステイン電極XがアドレスパルスPaと同極性の電位にバイアスされているので、そのバイアスでアドレスパルスPaが打ち消され、サステイン電極Xとアドレス電極Aの間では放電は起きない。

【0035】サステイン期間TSは、階調レベルに応じた輝度を確保するために、設定された点灯状態を維持する期間である。不要の放電を防止するため、全てのアドレス電極Aを正極性の電位にバイアスし、最初に全てのサステイン電極Yに正極性のサステインパルスPsを印加する。その後、サステイン電極Xとサステイン電極Yとに対して交互にサステインパルスPsを印加する。サステインパルスPsの印加毎に、アドレス期間TAにおいて壁電荷の蓄積した表示放電セルで面放電が生じる。サステインパルスPsの印加周期は一定であり、輝度の重みに応じて設定された個数のサステインパルスPsが印加される。

【0036】図8はダイナミック駆動の動作マージンを示す図である。図中の実線は、サステイン電極Xの金属膜を内側に寄せた本発明の電極構造における特性を示している。黒丸(●)は下限スキャン電圧 $V_{y,1}$ とサステイン電圧Vsとの関係を、白丸(○)は上限スキャン電圧 $V_{y,n}$ とサステイン電圧Vsとの関係を示している。また、図中の破線は各サステイン電極X、Yの金属膜を外側に寄せた従来の電極構造における特性を示している。図8の測定には高精細表示用の25インチサイズのPDPを用いた。その電極の寸法条件は表2のとおりである。

【0037】

【表2】

電極Xの透明導電膜の幅 (W_{x1})	95 μ m
電極Xの金属膜の幅 (W_{x2})	40 μ m
電極X外端と金属膜との距離 ($d1$)	55 μ m
電極Yの透明導電膜の幅 (W_{y1})	95 μ m
電極Yの金属膜の幅 (W_{y2})	40 μ m
面放電ギャップS1	50 μ m

【0038】図から明らかなように、本発明の電極構造によれば従来構造と比べてより低いサステイン電圧Vsで安定した駆動を行うことができる。図9はサステイン電極対の構成の他の例を示す図である。

【0039】図9においては、透明導電膜y1の幅 W_{y1} が透明導電膜x1の幅 W_{x1} (例えば95 μ m) と比べて小さい値 (例えば80 μ m) に選定されている。金

属膜x2の幅 W_{x2} 及び金属膜y2の幅 W_{y2} は同一であるが、これらを個別に選定してもよい。幅 W_{x1} を小さくすることによって、金属膜y2が面放電ギャップS1に近づくことになる。このため、アドレッシングの動作マージンが広がる。

【0040】以上の説明で例示したPDPは、サステイン電極対の片方の金属膜x2を面放電ギャップS1に近づけた構造のものであるが、両方の金属膜x2、y2を面放電ギャップS1に近づけてもよい。

10 【0041】

【発明の効果】請求項1乃至請求項5の発明によれば、発光効率の低下を避けつつ放電開始電圧を低減し、駆動系の負担を軽減することができる。

【0042】請求項2の発明によれば、長期にわたる動作の安定を実現することができる。

【図面の簡単な説明】

【図1】本発明のPDPの内部構造を示す斜視図である。

【図2】PDPの電極マトリクスの概略図である。

20 【図3】PDPの要部断面図である。

【図4】サステイン電極対の構成を示す図である。

【図5】金属膜の配置位置と放電開始電圧との関係を示すグラフである。

【図6】金属膜の配置位置と輝度との関係を示すグラフである。

【図7】駆動シーケンスを示す電圧波形図である。

【図8】ダイナミック駆動の動作マージンを示す図である。

30 【図9】サステイン電極対の構成の他の例を示す図である。

【図10】従来のPDPの内部構造を示す要部断面図である。

【図11】従来のサステイン電極の配列方向における発光強度分布の模式図である。

【符号の説明】

1 PDP (AC型プラズマディスプレイパネル)

30 放電空間

A アドレス電極 (第3の電極)

S1 面放電スリットギャップ (放電ギャップ)

40 W_{x1} , W_{y1} 透明導電膜の幅

W_{x2} , W_{y2} 金属膜の幅

X サステイン電極 (第1の電極)

x1 透明導電膜

x2 金属膜

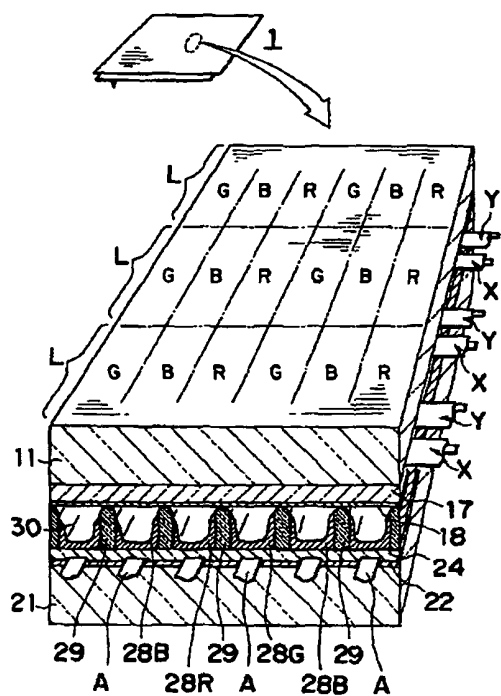
Y サステイン電極 (第2の電極)

y1 透明導電膜

y2 金属膜

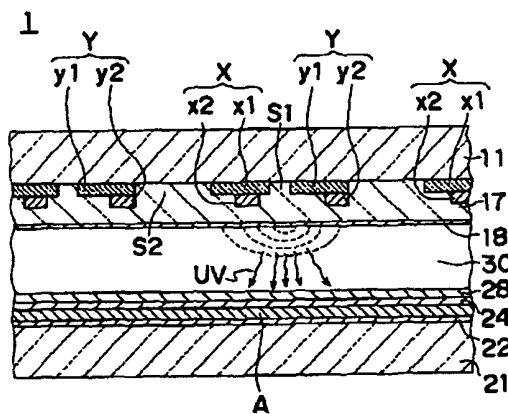
【図 1】

本発明のPDPの内部構造を示す斜視図



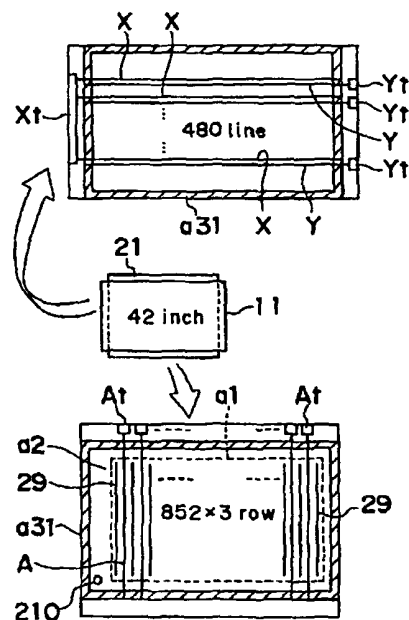
【図3】

PDPの腰部断面図



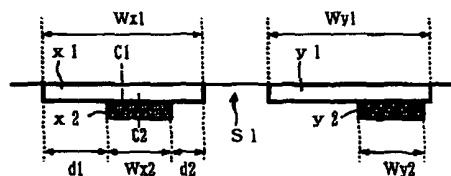
【図2】

PDPの電極マトリクス回路図



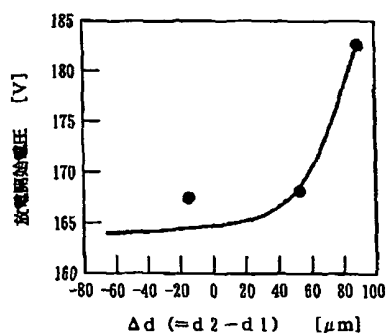
【图4】

サステイン電極対の構成を示す図



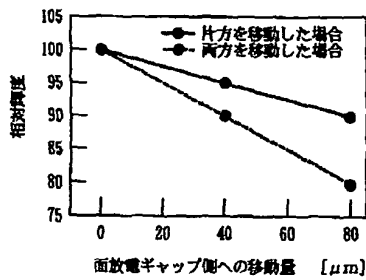
【図5】

金属膜の配置位置と放電開始電圧との関係を示すグラフ



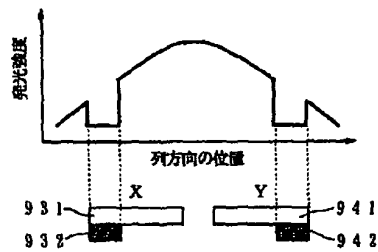
【図6】

金属膜の配置位置と厚度との関係を示すグラフ



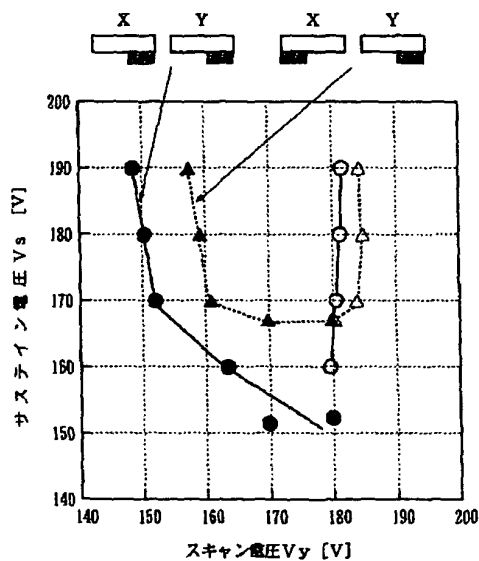
【図11】

従来のサステイン電極配置方向における発光強度分布の模式図



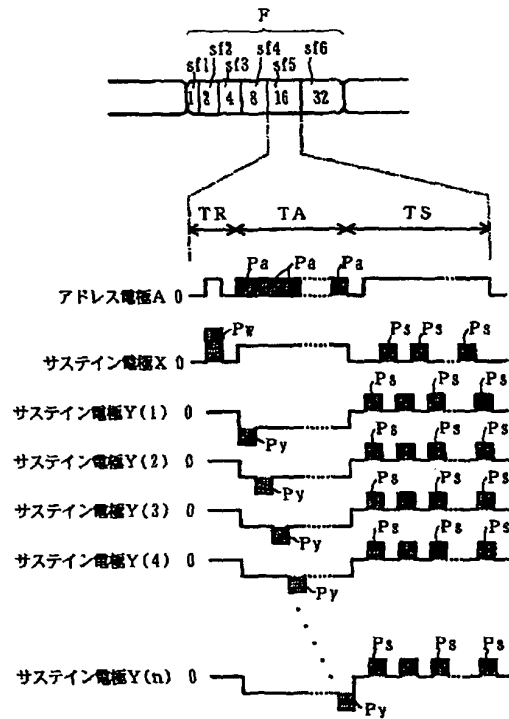
【図8】

ダイナミック駆動の動作マージンを示す図



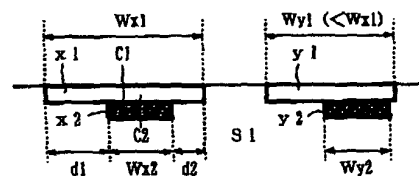
【図7】

駆動シーケンスを示す電圧波形図



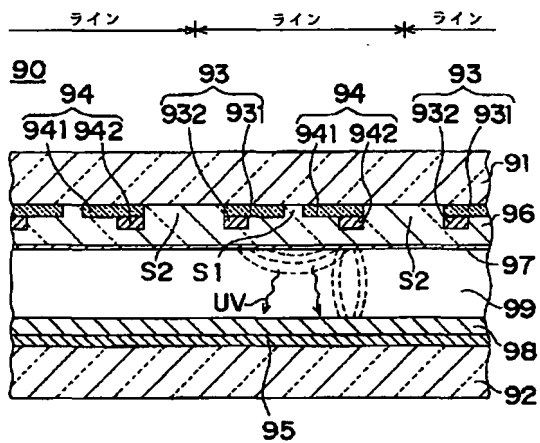
【図9】

サステイン電極対の構成の他の例を示す図



【図10】

従来のPDPの内部構造を示す要部断面図



フロントページの続き

(72)発明者 黒木 正軌

鹿児島県薩摩郡入来町副田5950番地 株式
会社九州富士通エレクトロニクス内

(72)発明者 中原 裕之

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内